

Manuel

d'utilisation de



J.D. BERST, G. CLAUS, C. COLLEDANI¹
Laboratoire d'Electronique et de Physique des Systèmes Instrumentaux
LEPSI - IN2P3-CNRS / ULP Strasbourg - France

¹ colledan@lepsi.in2p3.fr

Historique du document

Version	Date	Description
0.1	Avril 99	Première version après le test des COSTAR du RUN98
1.0	Décembre 99	Mise à jour pour COSTAR RUN99.

Sommaire

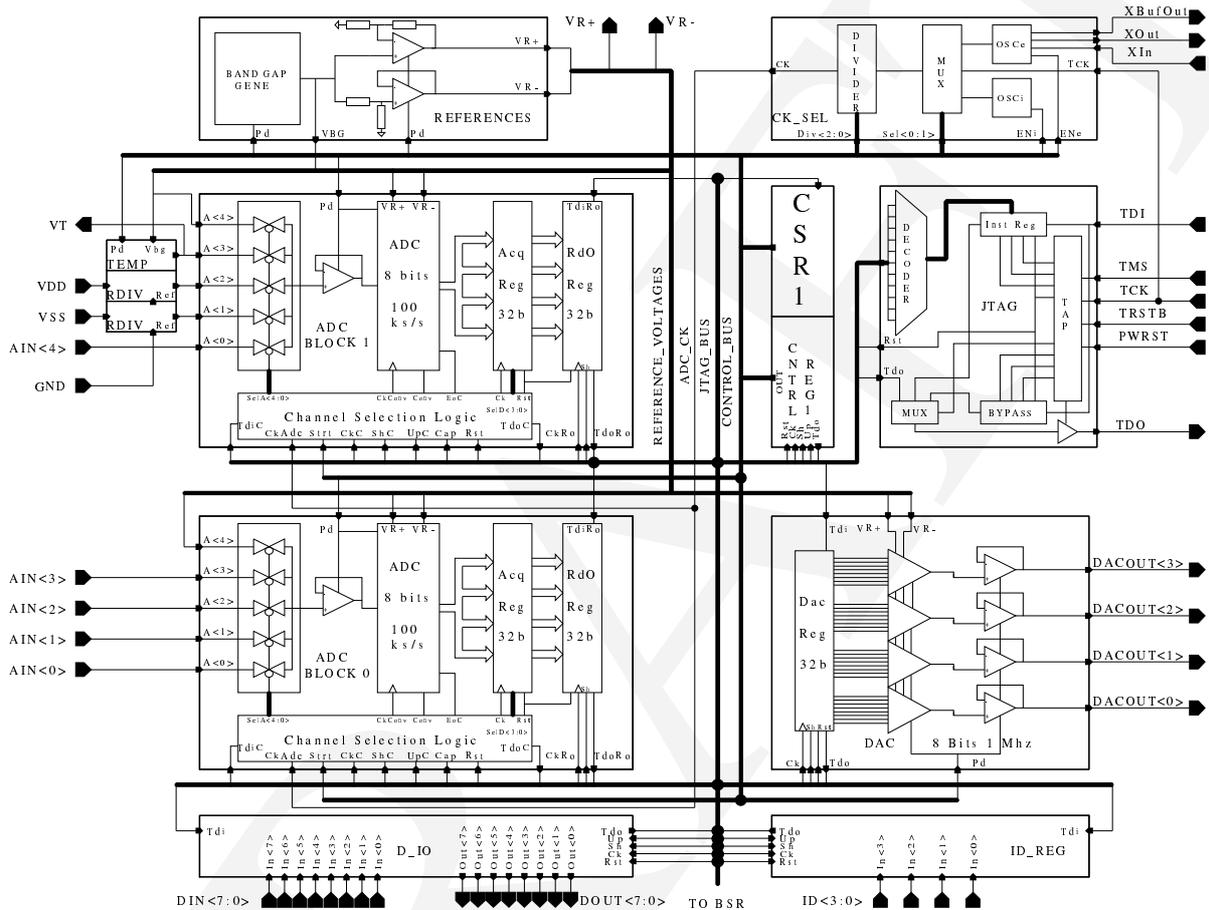
1. COSTAR MODÈLE RUN99	4
1.1 INTRODUCTION	4
1.2 COSTAR BLOC DIAGRAMME	4
1.3 DESCRIPTION DES SOUS-ENSEMBLES	5
1.3.1 <i>Registre d'entrées et de sorties numériques</i>	5
1.3.2 <i>Tensions de références</i>	5
1.3.3 <i>Bloc de conversion analogique-numérique</i>	5
1.3.4 <i>Sonde de température</i>	8
1.3.5 <i>Bloc de conversion numérique analogique</i>	8
1.3.6 <i>Registre de contrôle 1</i>	9
1.3.7 <i>Registre de contrôle 2</i>	9
1.3.8 <i>Registre d'identification</i>	10
1.3.9 <i>Oscillateurs</i>	10
1.4 CONTRÔLEUR JTAG	10
1.4.1 <i>Liste des Instructions JTAG</i>	11
1.4.2 <i>Machine d'état</i>	11
1.5 PLOTS	12
1.5.1 <i>Plots analogiques</i>	12
1.5.2 <i>Plots numériques</i>	12
1.5.3 <i>Liste des plots</i>	12
1.6 LAYOUT	14
1.7 DIAGRAMME DE BONDING DE COSTAR DANS UN BOÎTIER PGA120	15
1.8 CARACTÉRISTIQUES	16
2. SPÉCIFICITÉS DE COSTAR MODÈLE RUN98.....	17
2.1 BLOC DE CONVERSION ANALOGIQUE-NUMÉRIQUE	17
2.1.1 <i>Remarques sur la mesure</i>	17
2.2 SONDE DE TEMPÉRATURE	17
2.3 OSCILLATEUR EXTERNE	18
2.4 CONTRÔLEUR JTAG	18
2.4.1 <i>Liste des Instructions JTAG</i>	18
2.4.2 <i>Machine d'état</i>	18
2.5 PLOTS	19
2.5.1 <i>Poweron Reset - PWRST</i>	19
2.5.2 <i>Liste des plots</i>	20
2.6 DIAGRAMME DE BONDING DE COSTAR DANS UN BOÎTIER PGA120	22
2.7 CARACTÉRISTIQUES	23

1. COSTAR modèle Run99

1.1 Introduction

Le circuit COSTAR est un circuit qui permet le COntôle et la commande d'un certain nombre de paramètres analogiques et numériques tels que la température, les alimentations BT, HT du détecteur de traces de l'expérience STAR. Il devra s'insérer dans le système de contrôle JTAG de l'électronique frontale sans adjonction d'autres éléments de liaison.

1.2 COSTAR Bloc Diagramme



COSTAR est constitué des sous-ensembles suivants:

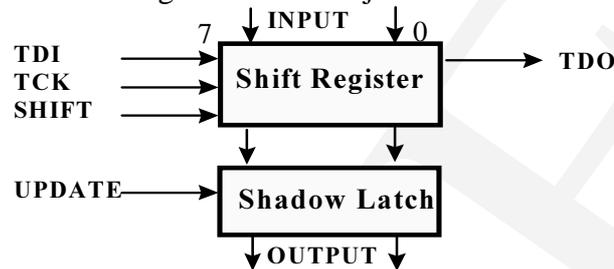
- 1 registre pour 8 voies d'entrées et 8 voies de sorties numériques
- 1 bloc de générateurs des tension de référence des ADCs et des DACs
- 2 blocs de conversion analogique numérique 8 bits de 4 voies chacun. Les 4 voies du bloc 0 sont destinées à la conversion de tensions extérieures ainsi que la 4^{ème} voie du bloc 1. Les 3 autres voies du bloc 1 réalisent la mesure de la température, des tension VDD et VSS
- 1 sonde de température
- 1 bloc de 4 voies de convertisseurs numérique analogique 8bits
- 1 sélecteur d'horloge de conversion des ADCs
- 1 oscillateur interne
- 1 oscillateur externe
- 1 registre de 8 bits pour l'identification du circuit
- 2 registres de contrôle

- 1 contrôleur JTAG
- 1 "Boundary Scan Register" pour tester les plots des E/S numériques et du registre d'identification

1.3 Description des sous-ensembles

1.3.1 Registre d'entrées et de sorties numériques

L'acquisition des 8 entrées et le pilotage des 8 sorties sont réalisées en même temps par un registre de 8 bits de type JTAG. Les entrées et les sorties sont contrôlées en un cycle de lecture / écriture. Le registre est constitué d'un "Shift Data Register" et d'un "Shadow Data Register". Durant la phase JTAG CAPTURE-DR, les voies d'entrées sont acquises. Elles sont extraites du circuit durant SHIFT-DR. UPDATE-DR charge la nouvelle valeur du Shift Data Register dans le Shadow Data Register mettant à jour les voies de sortie.



1.3.2 Tensions de références

Les tensions des références VRN et VRP, communes aux DACs et aux ADCs, sont stables par rapport à VSS. Elles ont respectivement 1V et 3V. Elles sont fabriquées en interne à partir d'un générateur de "band gap". Elles sont mesurables via les plots VRP et VRN.

Comme VRN et VRP sont stables par rapport à VSS, une variation de VSS provoquera un glissement identique de VRN et VRP par rapport à la masse.

Deux condensateurs de découplage de 100 nF sont à placer respectivement entre VRN et la masse et VRP et la masse.

1.3.3 Bloc de conversion analogique-numérique

Les 8 voies de mesures sont regroupées en 2 blocs de 4 voies. Chaque bloc est organisé autour d'un ADC à approximation successive, 1 voie, 8 bits qui réalise la conversion en 9 coups d' horloge ($F_{max}=1MHz$). La dynamique des ADCs est VRP - VRN.

Le bloc ADC 0 fournit 4 voies banalisées accessibles par les plots de connexion.

Le résultat de conversion se trouve dans le registre JTAG RO_ADC4_0.

Structure du registre RO_ADC4_0

Last TDO

First TDO

7	Voie 3 - Reg3	0	7	Voie 2 - Reg2	0	7	Voie 1 - Reg1	0	7	Voie 0 - Reg0	0
---	---------------	---	---	---------------	---	---	---------------	---	---	---------------	---

Le bloc ADC 1 réalise la mesure de

- la température via la sonde
- la tension VDD via un pont diviseur
- la tension VSS via un pont diviseur
- une voie banalisée, accessible par un plot de connexion

Le résultat de conversion se trouve dans le registre JTAG RO_ADC4_1.

Température - Reg.3	7	VDD - Reg.2	0	7	VSS - Reg. 1	0	Voie banalisée - Reg0
---------------------	---	-------------	---	---	--------------	---	-----------------------

1.3.3.1 Remarques sur la mesure

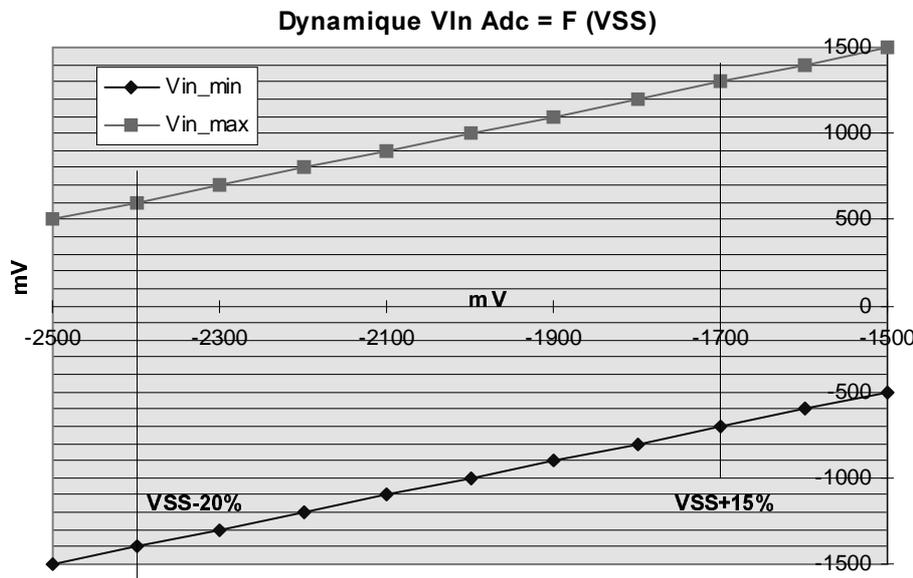
Voies externes

Toutes les tensions à mesurer avec les voies externes doivent être ramenées dans la plage VRP-VRN. Il faudra tout d'abord faire une mesure de VSS pour voir si la référence a changé puis faire la mesure de la voie. On retrouvera la valeur V_{in} de la voie comme suit:

$$V_{in} = Code_{Adc} \left(\frac{VRP - VRN}{256} \right) + VSS + VRN$$

Comme VRN et VRP sont stables par rapport à VSS, une variation de VSS provoquera un glissement identique de VRN et VRP par rapport à la masse.

L'abaque ci-dessous donne la variation de la fenêtre de mesure d'une voie externe d'ADC en fonction de VSS pour VRN=1V, VRP=3V. Les bornes sur VSS correspondent aux caractéristiques de fonctionnement du circuit.



Voies internes pour la mesure des alimentations

C'est avec deux ponts diviseurs, de rapport $R_{div}=0.4$ que l'on mesure VDD et VSS. La vraie référence de COSTAR étant VSS, la mesure de VSS est en fait une mesure de GND par rapport à VSS.

On peut donc calculer VSS comme suit:

$$VSS = - \frac{\left(Code_{Adc} \left(\frac{VRP - VRN}{256} \right) + VRN \right)}{1 - R_{div}}$$

La mesure de VDD se fera également par rapport à VSS. Il faudra tout d'abord faire une mesure de VSS pour voir si la référence a changé puis faire une mesure de VDD.

$$VDD = \frac{\left(Code_{Adc} \left(\frac{VRP - VRN}{256} \right) + VRN \right)}{R_{div}} + VSS$$

Les mesures de VDD et VSS sont possibles dans la plage de fonctionnement de COSTAR qui est de: VDD + 20%, VDD - 20% et VSS - 20%, VSS + 15%, i.e. +2.4V, +1.6V, et -2.4V, -1.7V.

1.3.3.2 Description d'un module de conversion A/N 4 voies

Un ADC 8 bits réalise en permanence et séquentiellement, par l'intermédiaire d'un multiplexeur, la conversion de 4 voies analogiques. Le résultat de conversion est chargé successivement dans un des quatre registres 8 bits de stockage disponibles. Lors de la lecture, la valeur de ces quatre registres est transférée vers les registres de lecture série. Le module peut être mis hors service afin de diminuer la consommation du circuit.

Mode normal

Conversion:

Après reset, un compteur-sélecteur positionne un multiplexeur analogique sur la première voie analogique (voie 0). Dès que la conversion est autorisée, l'ADC convertit en 9 coups d'horloges, typiquement en 9 μ s. A la fin de la conversion, le résultat est sauvé dans le registre de stockage correspondant à la voie analogique. Sur le front d'horloge suivant le cycle de conversion de la voie suivante débute.

Lecture:

Durant la phase CAPTURE-DR du protocole JTAG, les données des 4 registres de stockage sont recopiées dans les registres de lecture (readout), puis acheminées à l'extérieur du circuit via la sortie TDO durant la phase SHIFT-DR du JTAG.

Pour lire une voie ADC, il faut:

- la sélectionner et la bloquer via le registre ADCTEST
- Démarrer la conversion
- Attendre
- Stopper la conversion
- Lire le résultat

ATTENTION: C'est dans le registre <n-1> qu'en fait sera stocké le résultat, n étant le registre sélectionné i.e.: si le registre # 0 est spécifié, le résultat est dans le registre #3.

Remarque: Il doit être possible de laisser la conversion validée.

Mode Test

Ce mode accessible, via le registre ADCTEST de chaque bloc ADC, permet de numériser la tension de sortie du générateur de Band Gap qui sert à établir les tensions de références. Dans ce cas, après avoir sélectionné le bouclage du Band Gap sur l'ADC et démarré la conversion, le résultat peut être sauvé soit successivement dans les quatre registres de stockage soit en permanence dans le même registre qui sera spécifié.

ATTENTION: C'est dans le registre <n-1> que sera stocké le résultat, n étant le registre sélectionné.

Format du registre ADCTEST

Bits	Nom	Commentaires
3	DisCnt	1 = Blocage du compteur de sélection de voie ADC ¹
2	SelBG	1 = Bouclage du générateur de Band Gap sur l'ADC
1	Cnt<1>	MSb du compteur de sélection des voies analogiques
0	Cnt<0>	LSb du compteur de sélection des voies analogiques

¹ Dans le mode blocage du compteur de sélection de voie, la relecture du registre ADCTEST donnera la valeur chargée précédemment, incrémentée de 1 sur la partie compteur.
Ex: écrit 0x8, lu 0x9; écrit 0xF, lu 0xC;

1.3.4 Sonde de température

La sonde de température fournit une tension comprise entre VRN et VRP. Sa caractéristique de transfert exprimée en mV est :

$$V_{out} = 22 T + V_{off} \quad \text{Avec } V_{out} \text{ et } V_{off} \text{ en mV et } T \text{ en } ^\circ\text{C}$$

Exprimée en unité ADC on a :

$$U_{adc} = 2.816 T + U_{off} \quad \text{Avec } U_{adc} \text{ et } U_{off} \text{ en unité Adc et } T \text{ en } ^\circ\text{C}$$

$$1 \text{ unité Adc} = (VRP - VRN) / 256$$

La tension de la sonde est également disponible sur le plot de sortie VT.

A titre indicatif, sur un lot trois circuits la caractérisation de la sonde entre 20°C et 80°C à donné :

$$U_{adc} = 2.9 T + 29.67 \quad \text{Avec } U_{adc} \text{ en unité ADC et } T \text{ en } ^\circ\text{C}$$

L'écart type, en unité ADC, sur la pente et sur l'ordonnée à l'origine sont respectivement de 0.15 et 27.

1.3.5 Bloc de conversion numérique analogique

Les 4 DACs statiques, 8 bits , à 1µs de temps de conversion sont regroupés dans 1 bloc de 4 voies. On a ainsi 4 sorties analogiques synchronisées. Le module peut être mis hors service afin de diminuer la consommation du circuit. Au reset, la valeur par défaut des DACs est 127₁₀. Le pilotage des 4 DACs se fait via 1 registre de 32 bits (4 registres de 8 bits). Au cours du téléchargement du registre, sa valeur précédente peut être relue sur la sortie série TDO. Ci-dessous, l'ordre des registres 8 bits pour le chargement via TDI.

Format du registre DAC4_0

Last TDI

First TDI

7	Voie 3 - Reg. 3	0	7	Voie 2 - Reg. 2	0	7	Voie 1 - Reg. 1	0	7	Voie 0 - Reg. 0	0
---	-----------------	---	---	-----------------	---	---	-----------------	---	---	-----------------	---

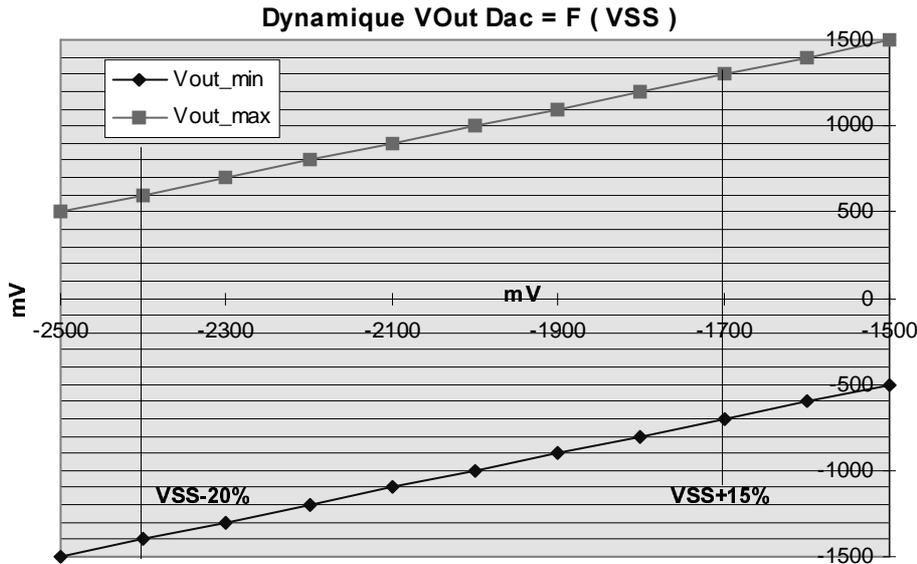
1.3.5.1 Remarques sur les niveaux de sortie

Chaque voie est capable de piloter des charges de 2kΩ min. et 1nF max. pour une tension de sortie de comprise entre VRN et VRP.

On calculera la tension VDac à générer en sortie du DAC comme suit:

$$V_{Dac} = Code_{Dac} \left(\frac{VRP - VRN}{256} \right) + VSS + VRN$$

Comme VRN et VRP sont stables par rapport à VSS, une variation de VSS provoquera un glissement identique de VRN et VRP par rapport à la masse. L'abaque ci-dessous donne la variation d'une sortie de DAC en fonction de VSS pour VRN=1V et VRP=3V. Les bornes sur VSS correspondent aux caractéristiques de fonctionnement du circuit.



1.3.6 Registre de contrôle 1

Un registre de contrôle de 8 bits permet de:

- Sélectionner l'horloge de conversion parmi l'oscillateur externe, l'oscillateur interne, l'horloge TCK JTAG, rien. Dans ce dernier cas, aucune source d'horloge n'est active dans le circuit.
- Sélectionner la fréquence de l'horloge de conversion parmi les valeurs f , $f/2$, $f/4$, $f/16$, $f/32$, $f/64$, $f/128$.
- Démarrer, stopper la conversion des ADCs.

Au cours du chargement du registre, sa valeur précédente est présente sur la sortie série TDO.

Structure du registre CSR1

Bits	Nom	Commentaires
7	Convert	1 = Démarre la conversion
6	Div<2>	MSb du diviseur de fréquence de l'horloge de l'ADC
5	Div<1>	
4	Div<0>	LSb du diviseur de fréquence de l'horloge de l'ADC
3	NU	Non utilisé
2	NU	Non utilisé
1	SelOsc<1>	2 = Oscillateur Interne, 3 = TCK
0	SelOsc<0>	0 = aucun, 1 = Oscillateur Externe

1.3.7 Registre de contrôle 2

Un second registre de contrôle de 8 bits permet de mettre hors service

- les ADCs
- les DACs
- la sonde de température
- le générateur des tensions de référence

Au reset tous les modules sont en service. Au cours du téléchargement du registre, sa valeur précédente peut être relue sur la sortie série TDO.

Structure du registre CSR2

Bits	Nom	Commentaires
7	N.U	Non utilisé
6	OffREF	1 = Générateur des tensions de référence hors service
5	OffTEMP	1 = Sonde de température hors service
4	N.U	Non utilisé
3	OffADC<1>	1 = ADC bloc 1 hors service
2	OffADC<0>	1 = ADC bloc 0 hors service
1	N.U	Non utilisé
0	OffDAC	1 = DAC bloc hors service

1.3.8 Registre d'identification

Le registre ID permet de lire le numéro d'identification câblé sur les plot ID<3:0>. Les 4 bits ID<7:4> sont fixés à 1010.

Structure du registre ID

7	0
1	0	1	0	x	x	x	x

1.3.9 Oscillateurs

Les oscillateurs ne sont nécessaires qu'à l'horloge de conversion des ADCs. Quand le circuit n'est pas accédé par JTAG et qu'aucun oscillateur n'est sélectionné, il n'est plus source de bruit de commutation.

1.3.9.1 Oscillateur externe

D'une fréquence maximum de 10 MHz, typique 1 MHz, il fonctionne avec un quartz ou un condensateur aux bornes XIN et XOUT. Avec 100 nF, l'oscillateur a une fréquence de 9.8 MHz.

Rq: Une valeur de 100 nF est déjà utilisée pour les condensateurs de découplage de VRP et VRN.

1.3.9.2 Oscillateur interne

Un oscillateur de période 150 ns est intégré dans le circuit. Le diviseur positionné à f/8 fabrique une horloge de fréquence compatible avec le fonctionnement des ADCs.

1.3.9.3 TCK comme source d'oscillateur

Il faut ajuster le diviseur de fréquence en fonction de la fréquence du signal TCK.

Pour maintenir l'activité des ADCs une fois l'ordre de conversion donné, il faut maintenir TCK actif.

1.4 Contrôleur JTAG

Le contrôleur est prévu pour pouvoir fonctionner à une fréquence de 20 MHz. Il a été vérifié jusqu'à 10 MHz.

Sur PWRST ou TRSTB actifs bas, il génère un signal de reset interne pour tout le circuit.

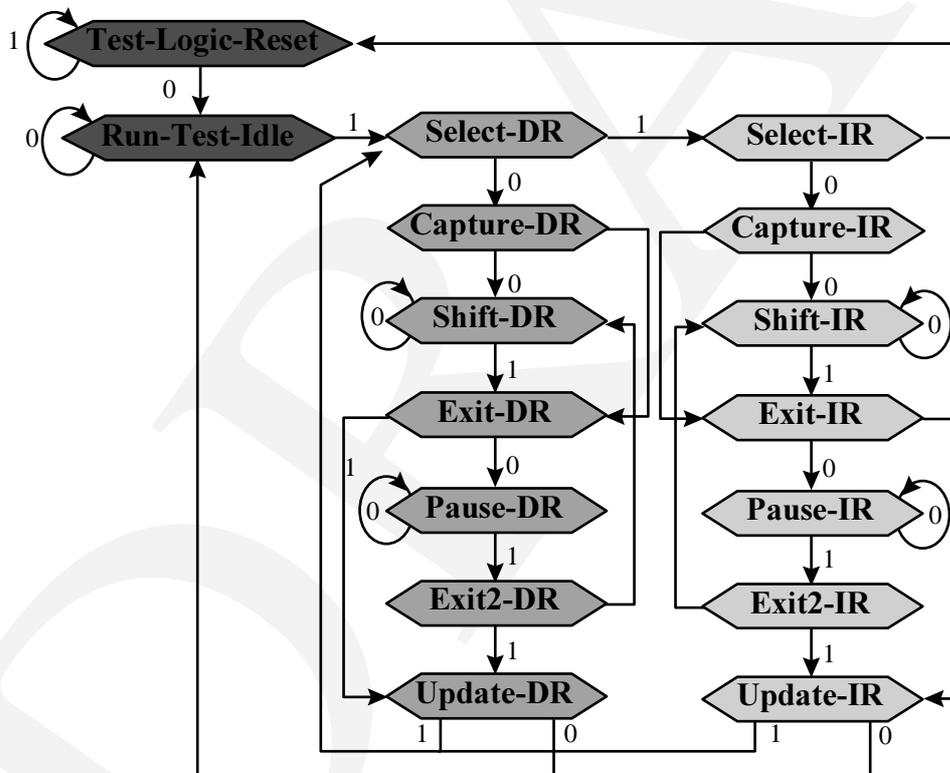
Pour toutes adresses de registre autres que celles spécifiées ci-dessous, le registre BYPASS est sélectionné par défaut

1.4.1 Liste des Instructions JTAG

Instructions	Codes hexa sur 5 bits	Registre sectionné	Commentaires
EXTEST	00	BSR	
HIGHZ	01	BYPASS	
SMPL_PRLD	02	BSR	
INTEST	03	BSR	
CLAMP	04	BYPASS	
CSR1	10	CONTROL REG 1	
ADCTEST_0	11	ADC TEST REG 0	ADC bloc 0
RO_ADC4_0	12	RO_ADC4_0	ADC bloc 0
ADCTEST_1	13	ADC TEST REG 1	ADC bloc 1
RO_ADC4_1	14	RO_ADC4_1	ADC bloc 1
IN_OUT_REG	17	IN_OUT_REG	
DAC4_0	18	DAC4_0	
CSR2	1A	CONTROL REG 2	
ID	1B	Identification Register	
BYPASS	1F	BYPASS	

1.4.2 Machine d'état

La machine d'états du contrôleur JTAG de COSTAR répond à la norme 1149.1



1.5 Plots

1.5.1 Plots analogiques

Les plots des entrées analogiques sont directes, sans résistance de protection mais avec des diodes de protection.

Les plot des sorties analogiques intègrent les amplificateurs de sortie. Ils sont mis hors service en même temps que les DACs.

1.5.2 Plots numériques

1.5.2.1 Temps de montée

Les temps de montée et de descente des signaux numériques doivent être inférieurs à 50 ns.

1.5.2.2 BSR

Les plots des entrées, des sorties numériques et les 4 plots d'identification constituent le "Boundary Scan Register" (BSR) du circuit. On peut donc lire l'état des entrées et télécharger des vecteurs de test qui se substituent aux valeurs des sorties. Ceci est réalisé en exécutant les instructions SAMPLE-PRELOAD, EXTEST.

L'instruction CLAMP fixe les sorties à la valeur chargée dans le BSR. L'instruction HIGHZ met le bus de sortie en haute impédance. Dans le même temps CLAMP et HIGHZ sélectionnent le registre BYPASS.

Format du "Boundary Scan Register"

Last TDI

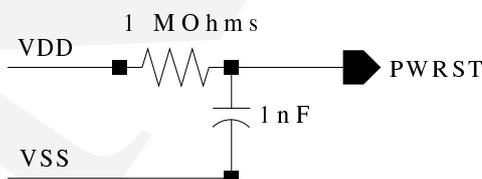
First TDI

ID<3> ... ID<0>	DIN<7> ... DIN<0>	DOUT<7> ... DOUT<0>
-----------------	-------------------	---------------------

Les plots des signaux TCK, TMS, TDI, TRSTB, PWRST, TDO ainsi que les plots pour l'alimentation des sous-ensembles numériques sont des plots ordinaires. Il ne font pas partie du BSR.

1.5.2.3 Plot Poweron Reset - PWRST

Actif à l'état bas, il est à connecter via un réseau RC de valeurs typiques M Ω , 1 nF.



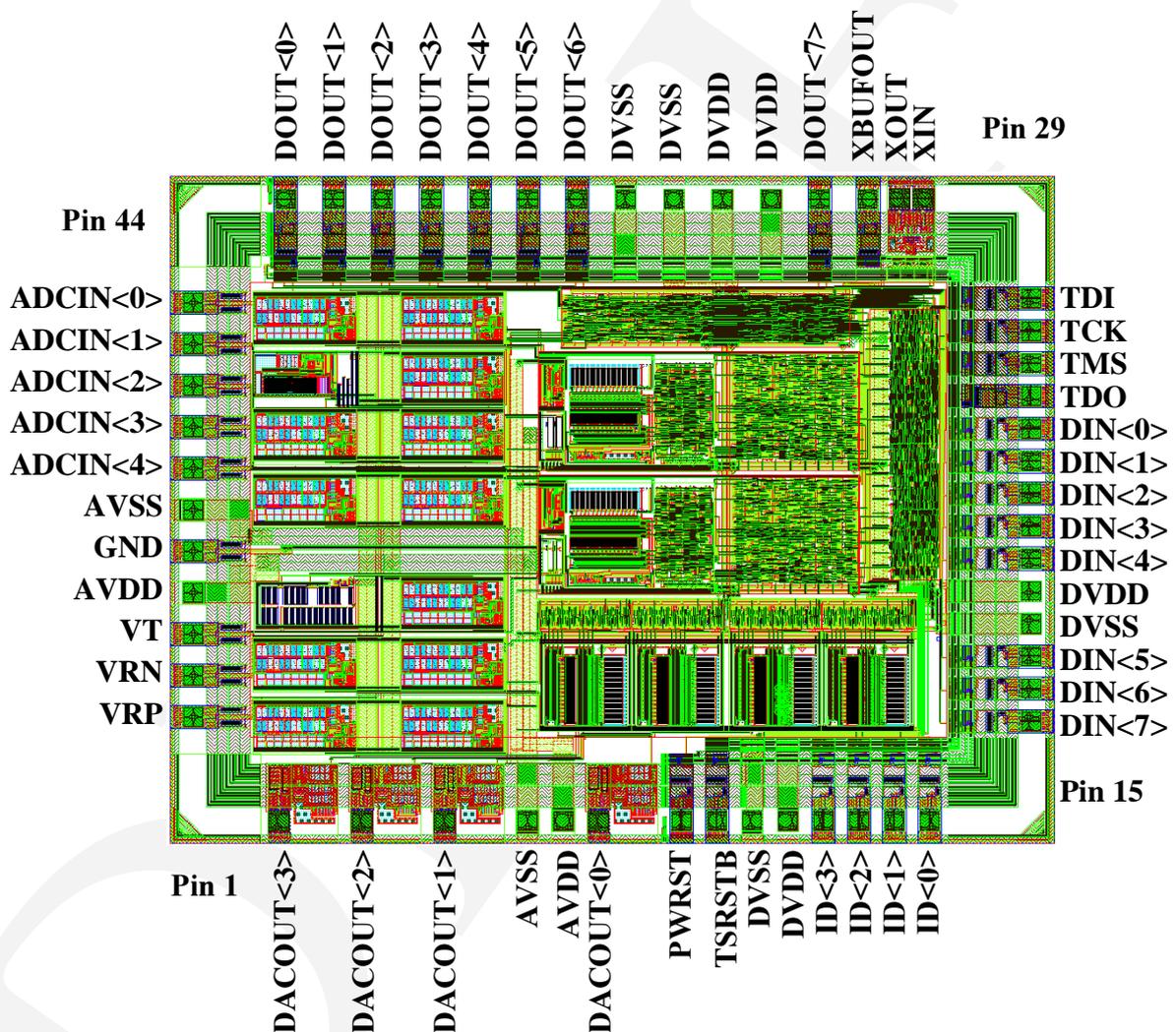
1.5.3 Liste des plots

Nom	#	Fonction	Observation
DOUT<0>	43	Sortie digitale LSb	4mA Tri-State CMOS
DOUT<1>	42	Sortie digitale	4mA Tri-State CMOS
DOUT<2>	41	Sortie digitale	4mA Tri-State CMOS
DOUT<3>	40	Sortie digitale	4mA Tri-State CMOS
DOUT<4>	39	Sortie digitale	4mA Tri-State CMOS
DOUT<5>	38	Sortie digitale	4mA Tri-State CMOS

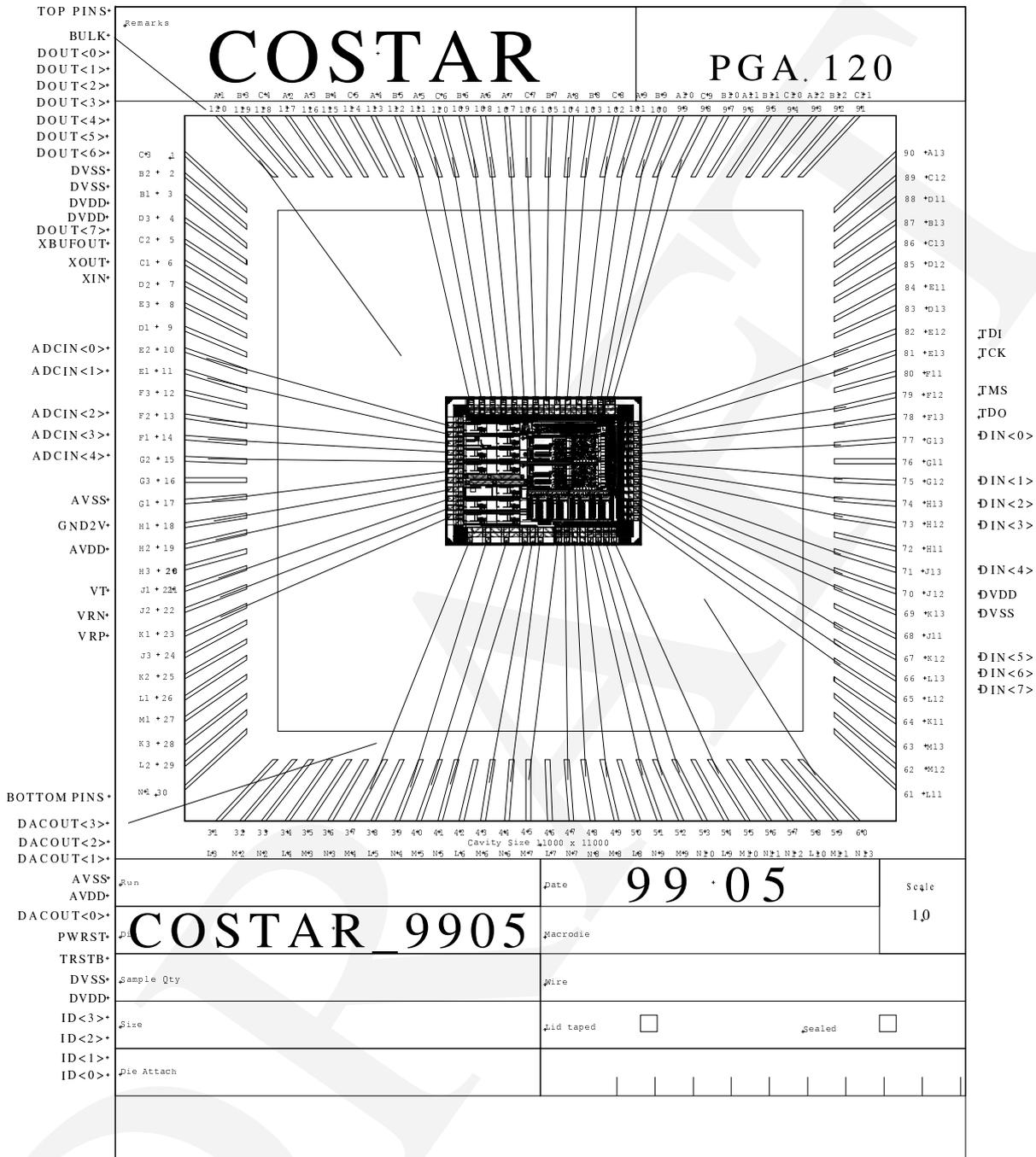
DOUT<6>	37	Sortie digitale	4mA Tri-State CMOS
DOUT<7>	32	Sortie digitale MSb	4mA Tri-State CMOS
DIN<0>	24	Entrée digitale LSb	Résistance de pullup
DIN<1>	23	Entrée digitale	R pullup
DIN<2>	22	Entrée digitale	R pullup
DIN<3>	21	Entrée digitale	R pullup
DIN<4>	20	Entrée digitale	R pullup
DIN<5>	17	Entrée digitale	R pullup
DIN<6>	16	Entrée digitale	R pullup
DIN<7>	15	Entrée digitale MSb	R pullup
DVSS	36	Entrée -2 V digitale périphérique.	
DVSS	35	Entrée -2 V digitale coeur	
DVSS	18	Entrée -2 V digitale coeur	
DVSS	9	Entrée -2 V digitale périphérique.	
DVDD	34	Entrée +2 V digitale coeur	
DVDD	33	Entrée +2 V digitale périphérique.	
DVDD	19	Entrée +2 V digitale coeur	
DVDD	10	Entrée +2 V digitale périphérique.	
XBUFOUT	31	Sortie oscillateur pour condensateur	condensateur 100 nF
XOUT	30	Sortie oscillateur pour quartz	
XIN	29	Entrée oscillateur ou condensateur	
TDI	28	Entrée données séries JTAG	R pullup
TCK	27	Entrée horloge JTAG	R pullup
TMS	26	Entrée JTAG MODE SELECT	R pullup
TDO	25	Sortie données séries JTAG	4mA Tri-State
TRSTB	8	Entrée Reset JTAG	Actif bas, R pullup
PWRST	7	Entrée Reset à la mise sous tension	Actif bas
ID<0>	14	Entrée identification circuit LSB	R pullup
ID<1>	13	Entrée identification circuit	R pullup
ID<2>	12	Entrée identification circuit	R pullup
ID<3>	11	Entrée identification circuit MSb	R pullup
AVDD	5	Entrée +2 V analogique	
AVDD	51	Entrée -2 V analogique	
AVSS	4	Entrée -2 V analogique	
AVSS	49	Entrée -2 V analogique	
DACOUT<0>	6	Sortie DAC LSb	Rload>2kOhms, Cload<1nF
DACOUT<1>	3	Sortie DAC	Rload>2kOhms, Cload<1nF
DACOUT<2>	2	Sortie DAC	Rload>2kOhms, Cload<1nF
DACOUT<3>	1	Sortie DAC MSb	Rload>2kOhms, Cload<1nF

VRP	54	Sortie +1 V Ref. Voltage	Découplage 100 nF
VRN	53	Sortie -1 V Ref. Voltage	Découplage 100 nF
VT	52	Sortie Sonde de Température	
GND		Entrée masse	
ADCIN<0>	44	Entrée ADC bloc #2 LSb	Diodes de protection
ADCIN<1>	45	Entrée ADC bloc #2	Diodes de protection
ADCIN<2>	46	Entrée ADC bloc #2	Diodes de protection
ADCIN<3>	47	Entrée ADC bloc #2 MSb	Diodes de protection
ADCIN<4>	48	Entrée ADC bloc #1 MSb	Diodes de protection

1.6 Layout



1.7 Diagramme de bonding de COSTAR dans un boîtier PGA120



1.8 Caractéristiques

Caractéristiques	Valeurs	Remarques
Globales		
Alimentation VDD	+2 V +20%, -20%	+1.6V, +2.4V
Alimentation VSS	-2 V -20%, +15%	-2.4V, -1.7V
Courant au repos après RESET	6 mA	
Plage de température	<i>à définir</i>	
Tensions de références		
VRP	+3 V	par rapport à VSS
VRN	+1 V	par rapport à VSS
Stabilité	+/- 1 LSB	
Dispersion	+/- 1 LSB	
DAC		
Voies	4	
Résolution	8 bits	
Dynamique	VRP-VRN	
Temps de conversion	Typique. < 1 μ s Max. 2 μ s	
Résistance de charge	> 2k Ω	
Capacité de charge	<1nF	
Linéarité	+/- 1 LSB	
Dispersion entre voies	+/- 1 LSB	
ADC		
Voie externes	5	
Voie internes	3	
Résolution	8 bits	
Dynamique	VRP-VRN	
Fréquence de conversion	Min. 500Hz - Max 1MHz	
Temps de conversion	9 coups d'horloge	
Rapport cyclique	Min. 40% Max. 60%	
Impédance d'entrée	<i>à définir</i>	
Capacité d'entrée	<i>à définir</i>	
Linéarité	+/- 1 LSB	
Dispersion entre voies	+/- 1 LSB	
Sonde de température		
Plage	20 °C - 80 °C	Plage de caractérisation
Sensibilité	22 mV/°C ou 0.35°C/ bit ADC/	
Dispersion	+/- 1 LSB	
Signaux Numériques		
Niveaux logiques	1=VDD, 0=VSS	
Temps de montée, de descente	< 50ns	
IOut des plots de sortie	4mA	
Fréquence JTAG	Min. 500Hz - Max 20MHz	

Les valeurs en italiques sont à confirmer. Soit il y a un manque de statistique, soit la mesure n'a pas encore été réalisée.

2. Spécificités de COSTAR modèle Run98

2.1 Bloc de conversion analogique-numérique

2.1.1 Remarques sur la mesure

C'est avec deux ponts diviseurs, de rapport $R_{div}=0.4$ que l'on mesure VDD et VSS. La vraie référence de COSTAR étant VSS, la mesure de VSS est en fait une mesure de GND par rapport à VSS.

On peut donc calculer VSS comme suit:

$$VSS = - \frac{\left(Code_{adc} \left(\frac{VRP - VRN}{256} \right) + VRN \right)}{1 - R_{div}}$$

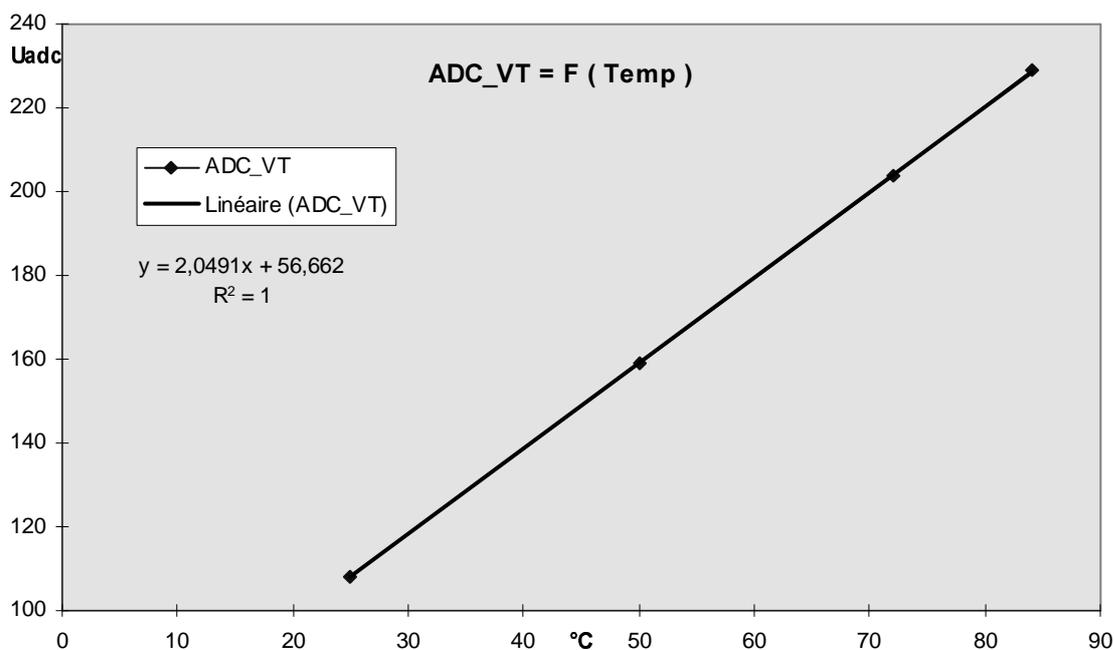
La mesure de VDD se fera également par rapport à VSS. Il faudra tout d'abord faire une mesure de VSS pour voir si la référence a changé puis faire une mesure de VDD.

$$VDD = \frac{\left(Code_{adc} \left(\frac{VRP - VRN}{256} \right) + VSS + VRN \right)}{R_{div}}$$

Les mesures de VDD et VSS sont possibles dans la plage de fonctionnement de COSTAR qui est de: VDD + 5%, VDD - 10% et VSS - 5%, VSS + 10%, i.e. +2.1V, +1.8V, et -2.1V, -1.8V.

2.2 Sonde de température

La sonde de température à une sensibilité de 15mV/°C et fournit une tension comprise entre VRN et VRP compatible avec la dynamique de son ADC. Elle est également disponible sur le plot de sortie VT. La sonde a été caractérisée de 25°C à 85°C. Celle-ci s'est faite en mesurant la valeur de l'ADC. La figure ci-dessous montre un résultat typique d'un circuit pour VSS fixé à -2V. La sensibilité pour ce circuit est de 2,05 Uadc/°C.



2.3 Oscillateur externe

D'une fréquence maximum de 10MHz, typique 1MHz, il fonctionner avec un quartz branché aux bornes XIN et XOUT.

2.4 Contrôleur JTAG

Le contrôleur est prévu pour pouvoir fonctionner à une fréquence de 20MHz. Il a été vérifié jusqu'à 10 MHz.

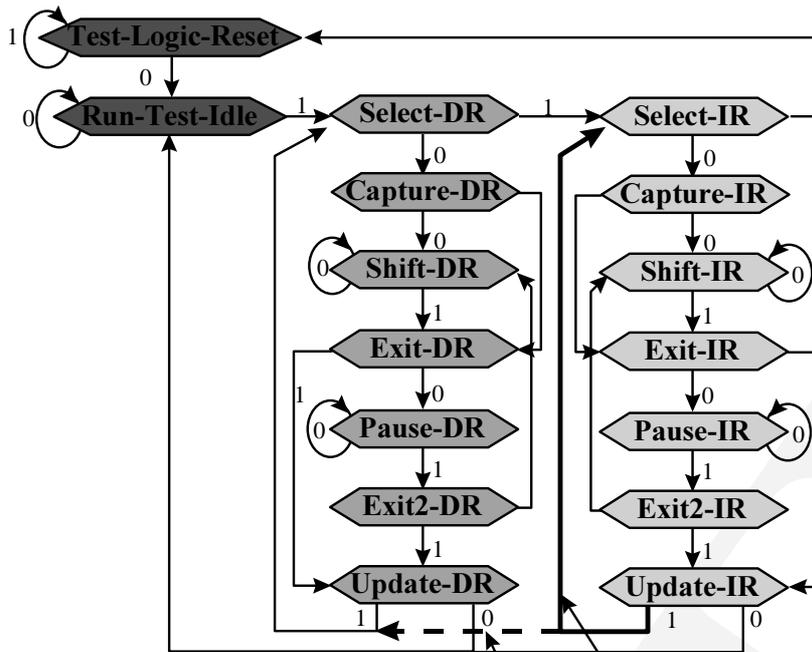
Sur PWRST actif haut ou TRSTB actif bas, il génère un signal de reset interne pour tout le circuit.

2.4.1 Liste des Instructions JTAG

Instructions	Codes hexa sur 5 bits	Registre sectionné	Commentaires
EXTEST	00	BSR	
HIGHZ	01	BYPASS	
SMPL_PRLD	02	BSR	
INTEST	03	BSR	
CLAMP	04	BYPASS	
CSR1	10	CONTROL REG 1	
ADCTEST_0	11	ADC TEST REG 0	ADC bloc 0
RO_ADC4_0	12	RO_ADC4_0	ADC bloc 0
ADCTEST_1	13	ADC TEST REG 1	ADC bloc 1
RO_ADC4_1	14	RO_ADC4_1	ADC bloc 1
Réservé	15		
Réservé	16		
IN_OUT_REG	17	IN_OUT_REG	
DAC4_0	18	DAC4_0	
Réservé	19		
CSR2	1A	CONTROL REG 2	
ID	1B	Identification Register	
Réservé	1C		
Réservé	1D		
Réservé	1E		
BYPASS	1F	BYPASS	

2.4.2 Machine d'état

Un changement d'état dans la machine ne répond pas à la norme.



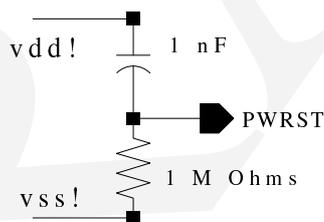
Chemin décrit dans la norme Chemin actuel dans le contrôleur, à éviter

Dans la branche IR on passe de UPDATE-IR vers SELECT-IR au lieu de SELECT-DR quand TMS = 1. Ceci n'empêche pas le fonctionnement du contrôleur JTAG, à la condition absolue de **ne pas passer** par ce chemin. Il faut toujours utiliser le chemin qui passe de UPDATE-IR vers RUN-TEST-IDLE comme cela est indiqué dans la figure ci-dessous.

2.5 Plots

2.5.1 Poweron Reset - PWRST

Actif à l'état haut, il est à connecter via un réseau RC de valeurs typiques 1MΩ, 1nF.

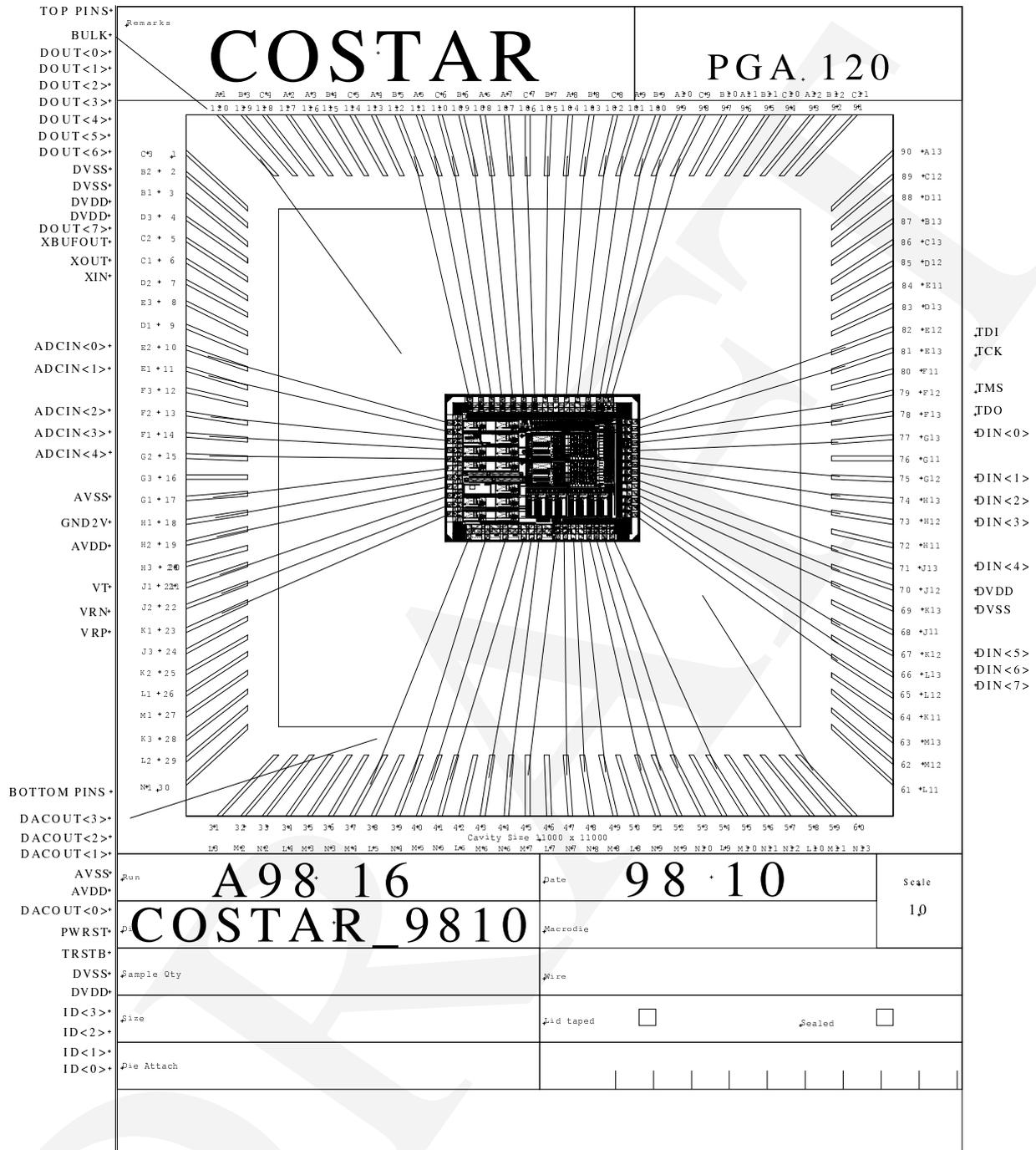


2.5.2 Liste des plots

Nom	#	Fonction	Observation
DOUT<0>	43	Sortie digitale LSb	4mA Tri-State CMOS
DOUT<1>	42	Sortie digitale	4mA Tri-State CMOS
DOUT<2>	41	Sortie digitale	4mA Tri-State CMOS
DOUT<3>	40	Sortie digitale	4mA Tri-State CMOS
DOUT<4>	39	Sortie digitale	4mA Tri-State CMOS
DOUT<5>	38	Sortie digitale	4mA Tri-State CMOS
DOUT<6>	37	Sortie digitale	4mA Tri-State CMOS
DOUT<7>	32	Sortie digitale MSb	4mA Tri-State CMOS
DIN<0>	24	Entrée digitale LSb	Résistance de pullup
DIN<1>	23	Entrée digitale	R pullup
DIN<2>	22	Entrée digitale	R pullup
DIN<3>	21	Entrée digitale	R pullup
DIN<4>	20	Entrée digitale	R pullup
DIN<5>	17	Entrée digitale	R pullup
DIN<6>	16	Entrée digitale	R pullup
DIN<7>	15	Entrée digitale MSb	R pullup
DVSS	36	Entrée -2 V digitale périphérique	
DVSS	35	Entrée -2 V digitale coeur	
DVSS	18	Entrée -2 V digitale coeur	
DVSS	9	Entrée -2 V digitale périphérique	
DVDD	34	Entrée +2 V digitale coeur	
DVDD	33	Entrée +2 V digitale périphérique	
DVDD	19	Entrée +2 V digitale coeur	
DVDD	10	Entrée +2 V digitale périphérique	
XBUFOUT	31	Sortie oscillateur	
XOUT	30	Sortie oscillateur pour quartz	
XIN	29	Entrée oscillateur	
TDI	28	Entrée données séries JTAG	R pullup
TCK	27	Entrée horloge JTAG	R pullup
TMS	26	Entrée JTAG MODE SELECT	R pullup
TDO	25	Sortie données séries JTAG	4mA Tri-State
TRSTB	8	Entrée Reset JTAG	Actif bas, R pullup
PWRST	7	Entrée Reset à la mise sous tension	Actif haut
ID<0>	14	Entrée identification circuit LSb	R pullup
ID<1>	13	Entrée identification circuit	R pullup
ID<2>	12	Entrée identification circuit	R pullup
ID<3>	11	Entrée identification circuit MSb	R pullup

AVDD	5	Entrée +2 V analogique	
AVDD	51	Entrée -2 V analogique	
AVSS	4	Entrée -2 V analogique	
AVSS	49	Entrée -2 V analogique	
DACOUT<0>	6	Sortie DAC LSb	Rload>2kOhms, Cload<1nF
DACOUT<1>	3	Sortie DAC	Rload>2kOhms, Cload<1nF
DACOUT<2>	2	Sortie DAC	Rload>2kOhms, Cload<1nF
DACOUT<3>	1	Sortie DAC MSb	Rload>2kOhms, Cload<1nF
VRP	54	Sortie +1 V Ref. Voltage	Découplage 100 nF
VRN	53	Sortie -1 V Ref. Voltage	Découplage 100 nF
VT	52	Sortie Sonde de Température	
GND		Entrée masse	
ADCIN<0>	44	Entrée ADC bloc #2 LSb	Diodes de protection
ADCIN<1>	45	Entrée ADC bloc #2	Diodes de protection
ADCIN<2>	46	Entrée ADC bloc #2	Diodes de protection
ADCIN<3>	47	Entrée ADC bloc #2 MSb	Diodes de protection
ADCIN<4>	48	Entrée ADC bloc #1 MSb	Diodes de protection

2.6 Diagramme de bonding de COSTAR dans un boîtier PGA120



2.7 Caractéristiques

Caractéristiques	Valeurs	Remarques
Globales		
Alimentation VDD	+2 V +5%, -10%	+1.8V, +2.1V
Alimentation VSS	-2 V -5%, +10%	-2.1V, -1.8V
Courant au repos après RESET	6 mA	
Plage de température	<i>à définir</i>	
Tensions de références		
VRP	+3 V	par rapport à VSS
VRN	+1 V	par rapport à VSS
Stabilité	+/- 1 LSB	
Dispersion	+/- 1 LSB	
DAC		
Voies	4	
Résolution	8 bits	
Dynamique	VRP-VRN	
Temps de conversion	Typ. < 1 μ s Max. 2 μ s	
Résistance de charge	> 2k Ω	
Capacité de charge	<1nF	
Linéarité	+/- 1 LSB	
Dispersion entre voies	+/- 1 LSB	
ADC		
Voie externes	5	
Voie internes	3	
Résolution	8 bits	
Dynamique	VRP-VRN	
Fréquence de conversion	Min. 500Hz - Max 1MHz	
Temps de conversion	9 coups d'horloge	
Rapport cyclique	Min. 40% Max. 60%	
Impédance d'entrée	<i>à définir</i>	
Capacité d'entrée	<i>à définir</i>	
Linéarité	+/- 1 LSB	
Dispersion entre voies	+/- 1 LSB	
Sonde de température		
Plage	25°C - 85°C	Plage de caractérisation
Sensibilité	15 mV/°C ou 0.5°C/ bit ADC/	
Dispersion	+/- 1 LSB	
Signaux Numériques		
Niveaux logiques	1=VDD, 0=VSS	
Temps de montée, de descente	< 50ns	
IOut des plots de sortie	4mA	
Fréquence JTAG	Min. 500Hz - Max 20MHz	

Les valeurs en *italiques* sont à confirmer. Soit il y a un manque de statistique, soit la mesure n'a pas encore été réalisée.